

PAT-NO: JP02003347157A  
DOCUMENT-IDENTIFIER: JP 2003347157 A  
TITLE: THIN FILM ELECTRONIC COMPONENT  
PUBN-DATE: December 5, 2003

INVENTOR-INFORMATION:

NAME	COUNTRY
TAKATO, JUNYA	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
KYOCERA CORP	N/A

APPL-NO: JP2002158225

APPL-DATE: May 30, 2002

INT-CL (IPC): H01G004/33

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a thin film electronic component exhibiting excellent moisture resistance in which a protective layer is not stripped and cracks are not generated.

SOLUTION: The thin film electronic component comprises a supporting substrate 1, a thin film element A being provided on the supporting substrate 1 and having electrode layers 5 and 7 and a dielectric layer 3, a terminal electrode 18 electrically connected with the electrode layers 5 and 7, a first protective layer 13 covering the thin film element A, and a second protective layer 14 covering the first protective layer 13 wherein the thermal expansion coefficient of the first protective layer 13 is set smaller than that of the second protective layer.

COPYRIGHT: (C)2004,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-347157

(P2003-347157A)

(43) 公開日 平成15年12月5日 (2003.12.5)

(51) Int.Cl.

H 0 1 G 4/33

識別記号

F I

H 0 1 G 4/06

キーワード(参考)

1 0 2 5 E 0 8 2

審査請求 未請求 請求項の数2 O L (全 6 頁)

(21) 出願番号 特願2002-158225(P2002-158225)

(22) 出願日 平成14年5月30日 (2002.5.30)

(71) 出願人 000006633

京セラ株式会社

京都府京都市伏見区竹田烏羽殿町6番地

(72) 発明者 高藤 潤哉

滋賀県八日市市蛇溝町長谷野1166番地の6

京セラ株式会社滋賀八日市工場内

Fターム(参考) 5E082 A4D1 A801 B807 BC32 BC33

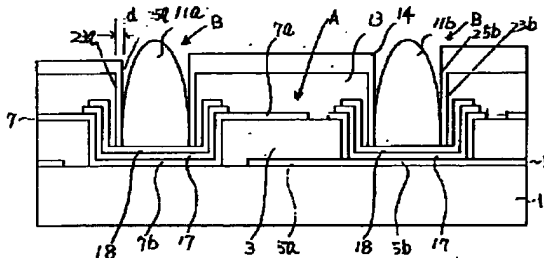
FF05 MM22 MM24

(54) 【発明の名称】 薄膜電子部品

(57) 【要約】

【課題】保護層が剥離したり、クラックが発生することがなく、耐湿性に優れた薄膜電子部品を提供する。

【解決手段】支持基板1と、支持基板1上に設けられ、電極層5、7と誘電体層3とを有する薄膜素子Aと、前記電極層5、7と電氣的に接続する端子電極18と、該薄膜素子Aを被覆する第1保護層13と、該第1保護層13を被覆する第2保護層14を具備する薄膜電子部品であって、第1保護層13の熱膨張係数を、第2保護層のそれよりも小さくした。



## 【特許請求の範囲】

【請求項1】支持基板上に、下部電極層、誘電体層及び上部電極層を順次積層した薄膜素子と、前記電極層と電気的に接続する端子電極と、該端子電極を露出するように薄膜素子を被覆する第1保護層及び該第1保護層を被覆する第2保護層とから成る薄膜電子部品であって、前記第1保護層の熱膨張係数が $1.0 \times 10^{-7} \text{ } ^\circ\text{C}^{-1}$ 以上、 $1.0 \times 10^{-5} \text{ } ^\circ\text{C}^{-1}$ 未満、第2保護層の熱膨張係数が $1.0 \times 10^{-5} \text{ } ^\circ\text{C}^{-1}$ 以上、 $1.0 \times 10^{-3} \text{ } ^\circ\text{C}^{-1}$ 未満としたことを特徴とする薄膜電子部品。

【請求項2】前記端子電極の周囲には $10 \mu\text{m}$ 以上の間隙を有して前記第1保護層が形成されているとともに、前記間隙が第2保護層によって被覆されていることを特徴とする請求項1記載の薄膜電子部品。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は薄膜電子部品に関し、例えば、薄膜コンデンサ、薄膜フィルタ等に好適に用いられる高周波用途の薄膜電子部品に関するものである。

## 【0002】

【従来技術】近年、電子機器の小型化、高機能化に伴い、電子機器内に設置される電子部品にも小型化、薄型化、高周波対応などの要求が強くなってきている。

【0003】例えば、大量の情報を高速に処理するコンピュータでは、CPUチップをドライブするクロック周波数が $1 \text{ GHz}$ を超え、チップ間バスのクロック周波数も $133 \text{ MHz}$ から更なる高速化が追求されている。

【0004】また、LSIの集積度が高まるとともにチップからの発熱を抑えるために電源電圧を低くし、消費電力の低減を図る傾向にある。これら集積回路の高速化、高密度化、低電圧化に伴い、コンデンサ等の受動部品も小型大容量化と併せて、高周波もしくは高速パルスに対して優れた特性を示すものが要求されてきている。

【0005】動作周波数が高くなるにつれ、素子の持つ抵抗やインダクタンスがロジック回路側の電源電圧の瞬時低下や新たな電圧ノイズを発生させ、このノイズはロジック回路にエラーを引き起こす原因となる。加えて、最近のLSIは総素子数の増大による消費電力増大を低減し、発熱を抑えるために電源電圧を低くしているの  
40  
で、電源電圧の許容変動幅も小さくなっている。今後、さらに素子数の増大と動作周波数の増加を行うためには、実装部分の抵抗、インダクタンス成分の影響を少なくする対策が必要となる。

【0006】また、素子数の増大に伴う実装精度の向上や、部品実装に伴うリフロー耐性の向上等、前述した受動素子自身の電気的な特性だけではなく、実装に関する特性（実装精度、実装信頼性）や耐湿信頼性など高いレベルで要求されるようになってきている。

【0007】このような要求に対して、USP4, 43 50

9, 813には、支持基板上に、下部電極、誘電体層、上部電極及び保護層を順次設け、Ti/W、TaまたはAl、Cuからなる下部電極からの電気信号を最短距離で得るため、誘電体層、上部電極及び保護層に貫通孔を設け、この貫通孔内壁にCr/Cu/AuからなるBLM層を形成した後、このBLM層上に半田バンプを形成してなる薄膜デカップリングコンデンサが開示されている。

10  
【0008】この薄膜デカップリングコンデンサは、実装基体の表面に形成された所定配線に薄膜デカップリングコンデンサの半田バンプを位置合わせし、リフロー（加熱）処理することにより実装される。

【0009】また、この薄膜デカップリングコンデンサは低インダクタンス構造としており、配置もLSIチップ近辺に配置できるようにし、全体のインダクタンスを低くしてLSIチップの高周波動作に伴う問題を解決しようとするものである。

## 【0010】

20  
【発明が解決しようとする課題】しかしながら、上記従来技術の薄膜コンデンサでは、保護層に設けられた貫通孔内に半田バンプが形成されているため、半田バンプ形成時または実装基板への実装時に熱の印加により、半田バンプが収縮して、半田バンプが形成される貫通孔を持つ保護層に負荷がかかる。そのため、保護層と保護層と接する薄膜コンデンサの層の界面（上部電極層）が剥離したり、保護層自体にクラックが入り、耐湿性を劣化してしまうという問題があった。本発明は、上述の問題点に鑑み案出されたものであり、その目的は保護膜がもつ耐湿性を十分に発揮することができる薄膜電子部品を提供することである。

## 【0011】

【課題を解決するための手段】本発明の薄膜電子部品は、支持基板上に、下部電極層、誘電体層及び上部電極層を順次積層した薄膜素子と、前記電極層と電気的に接続する端子電極と、該端子電極を露出するように薄膜素子を被覆する第1保護層及び該第1保護層を被覆する第2保護層とから成る薄膜電子部品であって、第1保護層の熱膨張係数が $1.0 \times 10^{-7} \text{ } ^\circ\text{C}^{-1}$ 以上  $1.0 \times 10^{-5} \text{ } ^\circ\text{C}^{-1}$ 未満であり、第2保護層の熱膨張係数が $1.0 \times 10^{-5} \text{ } ^\circ\text{C}^{-1}$ 以上  $1.0 \times 10^{-3} \text{ } ^\circ\text{C}^{-1}$ 未満に設定したものである。  
40

【0012】このような構成を採用することにより、端子電極上に半田バンプなどの外部端子を形成する際、若しくは薄膜電子部品を実装基板に実装したときのように外部端子を介して端子電極に熱が加わった場合、仮に外部端子電極に熱収縮が起きても、第2保護層の方が第1保護層よりも熱膨張係数が大きいので、外部端子または端子電極の熱収縮の影響は第2保護層に留まり、第1保護層は外部端子の熱収縮の影響を受けにくく、第1保護層と第1保護層と接する薄膜素子との界面が剥離した

り、第1保護層にクラックが入ったりすることが無く、第1保護層は本来の機能すなわち耐湿性向上の機能を果たすことができ、もって薄膜電子部品の耐湿性を向上させることができる。

【0013】さらに、端子電極の周囲には10 $\mu$ m以上の間隙をもって第1保護層が形成されている。これによって外部端子の熱収縮の影響による、第1保護層への影響を少なくでき、第1保護層の本来の機能を果たすことができる。

【0014】

【発明の実施の形態】以下本発明の薄膜電子部品の図面に基づいて詳説する。

【0015】図1は、薄膜電子部品の一例である薄膜コンデンサの断面図である。図1に示す薄膜コンデンサは、支持基板1上に下部電極層5aおよびその延出部5bからなる下側電極層5と、前記下部電極層5a上に形成された誘電体層3と、該誘電体層3上に形成された上部電極層7aおよびその延出部7bからなる上側電極層7とが順次被着形成されている。尚、下部電極層5a、誘電体層3、上部電極層7aで所定容量が発生する薄膜素子Aが構成されている。また、必要に応じて支持基板1上に複数の薄膜素子Aを併設しても良い。

【0016】下側電極層5は、上部電極層7aの延出部7bが形成される領域に応じて環状にエッチングされている。また、下部電極層5は、容量を形成する下部電極層5aと容量を形成しない延出部5b(端子電極が形成される領域)とに区分されている。

【0017】また、上側電極層7は、下部電極層5aを露出するようにエッチングされ、容量を形成する上部電極層7aと容量を形成しないその延出部7bとに区分されている。

【0018】また少なくとも上部電極層7aの延出部7bおよび下部電極層5aの延出部5bには、半田拡散防止層17が形成されており、この半田拡散防止層17上には、端子電極となる半田密着層18が形成されている。この半田密着層18を介して半田ボールなどの外部端子11a、11bが設けられている。

【0019】支持基板1としては、アルミナ、サファイア、窒化アルミ、酸化マグネシウム単結晶、チタン酸ストロンチウム単結晶、表面酸化シリコン、ガラス、石英等から選択されるもので特に限定されない。電極層5、7の材質は、薄膜電子部品の用途、及び各部位の使用目的によって限定され、例えば高速信号回路に用いられる場合は、電気抵抗の低いものが良く、Cu、Au、Ag、Ptなどが例示できる。

【0020】誘電体層3の材料には、チタン酸ベリリウム、チタン酸ストロンチウム、チタン酸ストロンチウムベリリウムなどが用いられるが、比誘電率がある程度高く、電荷を大量に蓄積できる、具体的には比誘電率が70以上の材料で構成される。

10

【0021】半田拡散防止層17は、Ti、Cr、Ni、Cu、Pd、Pt、またはこれらの金属から選ばれる2種以上からなる合金のうちいずれかからなり、スパッタ、蒸着、メッキ等で形成可能であれば良い。半田拡散防止層17の厚みは、半田バリアとしての機能を発現するためには0.3 $\mu$ m以上の厚みであれば良い。

【0022】また、半田密着層18は半田濡れ性の良好な材料であることが望ましく、前記材料として、Ni-Cr、Au等があり、特にAuが望ましい。更に、半田拡散防止層17と例えばからなる電極層5、7との密着性を向上させるため、これらの間に公知の密着材料であるTiやCrを介在させても良い。

【0023】そして、本発明の薄膜コンデンサは、第1保護層13により少なくとも薄膜素子Aが被覆され、誘電体層非形成領域における第1保護層13には貫通孔23a、23bが形成され、貫通孔23a、23bの底面には半田密着層18が露出している。また、第1保護層13および貫通孔23a、23bの内壁を覆うように第2保護層14が形成されている。すなわち誘電体層非形成領域における第2保護層14には、第1保護層13に形成した貫通孔23a、23bよりも小さな貫通孔25a、25bが形成され、貫通孔25a、25bの底面には半田密着層18が露出して端子電極となる。つまり、第1保護層13の形成領域よりも第2保護層14の方が広く形成されている。

【0024】図2は、第1保護層13の形成領域と第2保護層14の形成領域の関係を示した平面図である。実線は第1保護層13の形成領域を示しており、点線は第2保護層14の形成領域を示している。貫通孔23、25においては、第1保護層13の貫通孔23a、23bよりも、第2保護層14の貫通孔25a、25bを小さくすることで、第1保護層13の形成領域よりも第2保護層14の形成領域を広くしている。更に言えば、この貫通孔25a、25bの周囲には10 $\mu$ m以上の第1保護層の非形成領域(間隙d)が形成され、この間隙dが第2保護層14によって被覆されている。尚、図2に示すように、外周部においても第1保護層13よりも第2保護層14の方を広く形成しても良い。

【0025】第1保護層13は耐湿性の高い材料からなることが望ましく、例えば、窒化珪素やシリカなどの無機材料が特に望ましい。また、これらの材料を2種以上用いた積層構造であっても良い。これらの無機材料で構成した第1保護層13は、その熱膨張係数は $1.0 \times 10^{-7} \text{ } ^\circ\text{C}^{-1}$ 以上  $1.0 \times 10^{-5} \text{ } ^\circ\text{C}^{-1}$ 未満となる。

【0026】また、第2保護層14の材料は特に限定されるものではなく、前記に述べたような無機材料であっても良いし、ポリイミドやベンゾシクロブテン(BCB)などの有機材料であっても良い。また、これらの材料を2種以上用いた積層構造であっても良い。これら材料はその熱膨張係数が第1保護層の熱膨張係数よりも大

50

きく、例えば $1.0 \times 10^{-5} \text{ } ^\circ\text{C}^{-1}$ 以上  $1.0 \times 10^{-3} \text{ } ^\circ\text{C}^{-1}$ 未満としている。

【0027】従って、保護層全体でみると、保護層の外部側から第2および第1保護層14、13の熱膨張係数が、薄膜素子に向かって暫時小さくなるように設定されている。

【0028】そして、第2保護層14の貫通孔25a、25b内には、外部端子11a、11bが形成される。

【0029】外部端子11a、11bは、形状的には、ボール状、バンパ状、箔状、板状、線状、ペースト状などがあり、特に限定されるものではなく、複数の形状を組み合わせても良い。また、材質はPb、Sn、Au、Pt、Pd、Al、Ni、Ag、In、Cu、Bi、SbおよびZnなどがあり、導電性のものであれば良く、複数の材料を組み合わせても良い。

【0030】上記のような薄膜コンデンサ43は、図3に示すように、実装基板40の表面に形成された所定配線41a、41bに、外部端子11a、11bを位置決めした後、リフロー処理することにより接合して実装される。

【0031】図1に示す薄膜電子部品の場合には、例えば、外部端子11a、11bを半田ボールより構成する場合、公知の技術であるスクリーン印刷やボールマウンターを用いて、半田密着層18上に外部端子11a、11bを設けた後、リフロー処理することにより実装基板40の所定配線41a、41bに接合され、実装される。

【0032】以上のように構成された薄膜コンデンサでは、第1保護層13の形成領域よりも、第2保護層14の形成領域のほうが広いので、第2保護層14の貫通孔25a、25b内に外部端子11a、11bを形成したり、薄膜コンデンサを実装基板40に実装する際の、外部端子11a、11bの熱収縮の影響、具体的には外部端子11a、11bから直接または間接的に半田密着層18である端子電極に熱応力の影響がかかろうとしても、第2保護層14の熱膨張係数が、第1保護層13の熱膨張係数よりも大きいので、その応力を第2保護層14で吸収しやすくなる。これにより、第1保護層13と第1保護層13と接する層の界面や第1保護層13と上部電極層7aとの界面が剥離したり、第1保護層13にクラックが入ることが無く、第1保護層13の持つ本来の機能を果たすことができる。そのため、薄膜コンデンサの耐湿性を向上させることができる。

【0033】尚、本発明の薄膜電子部品として薄膜コンデンサを例に説明したが、本発明では上記例に限定されるものではなく、例えば、薄膜LCフィルタ、あるいは薄膜RC部品などの薄膜複合部品に本発明を適用しても良いことは勿論である。

【0034】

【実施例】下側電極層5、上側電極層7および半田拡散

防止層17および半田密着層18の形成はDCスパッタ法を、誘電体層3（誘電体薄膜）はRFスパッタ法にて作製した。

【0035】まず、サファイアからなる支持基板1上にTiO<sub>2</sub>からなる30nmの密着層を形成し、この密着層の上面に、30nmのAu層を形成し、下側電極層5とした。

【0036】フォトリソグラフィ技術を用いて、下側電極層5をパターン加工した。加工された下側電極層5に、RFスパッタ法にて膜厚0.5μmのBa(Sr<sub>1/3</sub>Ti<sub>2/3</sub>)O<sub>3</sub>からなる誘電体層3を形成した。その後フォトリソグラフィ技術を用いて、誘電体層3をパターン加工した。

【0037】次に、誘電体層3および誘電体層3から露出する下側電極層5上に、膜厚30nmのAuからなる上側電極層と、膜厚1.0μmのNiからなる半田拡散防止層17と、膜厚0.1μmのAuからなる半田密着層18を順次形成した。その後、フォトリソグラフィ技術を用いて、まず、半田密着層18を直径100μmの形状に加工し、その後半田拡散防止層17を直径200μmの形状に加工し、その後、上側電極7をパターン加工した。

【0038】この後、CVD法を用いて、厚さ5.0μmのSiO<sub>2</sub>を形成し、Auからなる半田密着層18が露出するように、直径120μm、深さ5.0μmの貫通孔23a、23bを有する第1保護層を形成した。このとき、SiO<sub>2</sub>からなる第1保護層の形成領域は、縦2.0mm横1.8mmであり、その熱膨張係数は $1.0 \times 10^{-6} \text{ } ^\circ\text{C}^{-1}$ であった。

【0039】この後、光感光性BCBを塗布し、露光、現像を行い、Auからなる半田密着層18が露出するように、直径80μm、深さ1μmの貫通孔25a、25bを有する第2保護層14を形成した。このときのBCBからなる第2保護層14の形成領域は、縦2.04mm横2.02mmであった。この時、第2保護層14の熱膨張係数は $1.0 \times 10^{-6} \text{ } ^\circ\text{C}^{-1}$ よりも下回るように樹脂成分を調整して $1.0 \times 10^{-4} \text{ } ^\circ\text{C}^{-1}$ とした。

【0040】また、第1保護層の貫通孔と、第2保護層の貫通孔の差、即ち、間隙(以下、貫通孔の差Dと言う)を、20μmとした。

【0041】最後に、スクリーン印刷を用いて、貫通孔内25a、25bの半田密着層18の上にPbが63重量%、Snが37重量%からなる共晶半田ペーストを転写し、リフローを行い、半田バンパを形成し、図1に示したような薄膜コンデンサを得た。

【0042】得られた薄膜コンデンサの有効電極面積は1.8mm<sup>2</sup>であり、周波数1MHzでの静電容量は約30nFであり、実装基板40に実装しても一切、第1保護層13の剥離および第1保護層13のクラックが皆無となった。

【0043】また、第1保護層13の形成領域のみを変更することで、上述の貫通孔の差Dのみを変更し、その他は上記と同様に作製した数種の薄膜コンデンサを得た。そしてこれらの薄膜コンデンサを槽内温度85℃、槽内相対湿度85%R. H. の試験槽内にて、印加電圧2.0Vを連続負荷したときの絶縁抵抗値の時間変化を観測した。図4にその結果を示す。図4をみると、上述の貫通孔の差Dが10μm以上では、500時間以上経過しても絶縁抵抗値が初期値に対して変化していない。一方で、貫通孔の差Dが10μmを下回ると、時間経過とともに絶縁抵抗値が初期値に対して劣化しており、その差Dが小さいほど劣化するのが早くなっているのが分かる。

【0044】尚、本発明者は、第1保護層13の材料を種々変更して、その熱膨張係数を $1.0 \times 10^{-7} \text{℃}^{-1}$ 以上  $1.0 \times 10^{-5} \text{℃}^{-1}$ 未満に設定し、第2保護層の材料を種々変更して、その熱膨張係数を、第1の熱膨張係数よりも下回るように $1.0 \times 10^{-5} \text{℃}^{-1}$ 以上  $1.0 \times 10^{-3} \text{℃}^{-1}$ 未満の範囲に設定しても、同様の効果を確認した。逆、熱膨張係数を第1保護層と第2保護層とで逆転させると、第1保護層と第2保護層との界面に熱処理による応力が集中し、界面での隔離や第1保護層、第2保護層にクラックが発生してしまい、保護層本来の機能を発揮できなくなり、薄膜コンデンサの耐湿性が大きく劣化してしまう。

【0045】

【発明の効果】以上に詳述したように、本発明によれば、薄膜電子部品を実装する際若しくは薄膜電子部品の外部端子を形成する際に生じる外部端子の熱収縮の影響、応力が、第2保護層に留まり、第1保護層自体にク

ラックが入ったり、第1保護層と、第1保護層と接する薄膜電子部品の層の界面が剥離することが無いため、第1保護層の持つ本来の機能を十分に果たすことができ、薄膜電子部品の耐湿性が向上する。

【図面の簡単な説明】

【図1】本発明の薄膜電子部品の一例である薄膜コンデンサの断面図である。

【図2】第1保護層と第2保護層の形成領域の関係を示す平面図である。

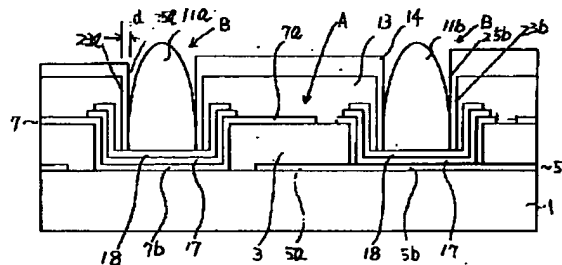
【図3】本発明の薄膜電子部品の一例である薄膜コンデンサの実装状態を示す断面図である。

【図4】試験槽温度85℃、槽内相対湿度85%R. H. の試験環境における2.0V連続負荷したときの、初期値に対する絶縁抵抗値の時間変化を示した特性図である。

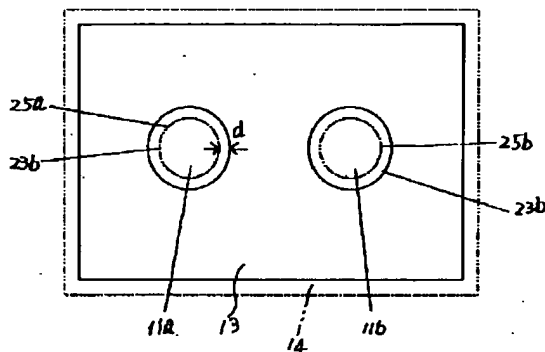
【符号の説明】

- 1・・・支持基板
- 3・・・絶縁体層
- 5・・・下側電極層
- 5a・・・下部電極層
- 7・・・上側電極層
- 7a・・・上部電極層
- 11a、11b・・・外部端子
- 18・・・半田密着層（端子電極）
- 13・・・第1保護層
- 14・・・第2保護層
- 23a、23b・・・第1保護層に形成した貫通孔
- 25a、25b・・・第2保護層に形成した貫通孔
- A・・・薄膜素子

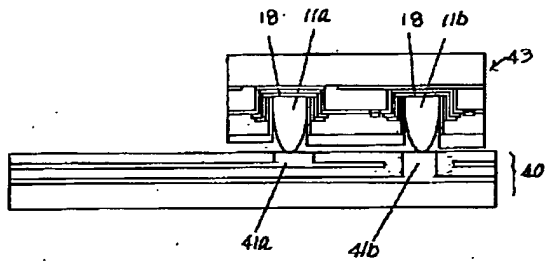
【図1】



【図2】



【図3】



【図4】

